



REC'D 23 NOV

WIPC

EP00/8398

**Prioritätsbescheinigung über die Einreichung
einer Patentanmeldung**

EJU

Aktenzeichen: 100 18 722.6
Anmeldetag: 15. April 2000
Anmelder/Inhaber: Continental Teves AG & Co oHG,
Frankfurt am Main/DE
Bezeichnung: Verfahren und Schaltungsanordnung zum Speichern
von Datenworten in einem RAM Modul
Priorität: 22.09.1999 DE 199 45 494.9
IPC: G 11 C 29/00

Die angehefteten Stücke sind eine richtige und genaue Wiedergabe der ursprünglichen Unterlagen dieser Patentanmeldung.

München, den 02. November 2000
Deutsches Patent- und Markenamt

Der Präsident
Im Auftrag

**PRIORITY
DOCUMENT**

SUBMITTED OR TRANSMITTED IN
COMPLIANCE WITH RULE 17.1(a) OR (b)

seller

Continental Teves AG & Co. oHG

12.04.2000
GP/BR/ad
P 9722.1

W. Fey
A. Traskov
J. Truoel

Verfahren und Schaltungsanordnung zum Speichern von Daten- worten in einem RAM Modul

Die Erfindung betrifft ein Verfahren und eine Schaltungsanordnung zum Speichern von Datenworten in einem RAM Modul, insbesondere für sicherheitskritische Anwendungen.

RAM (Random Access Memory) Module sind allgemein bekannt und weit verbreitet. Sie dienen zum wiederholten Speichern und Auslesen von Daten für eine Vielzahl von Anwendungen. Der Sicherheit der in dem RAM Modul gespeicherten Daten muss bei der Auslegung der Speicherarchitektur besondere Beachtung geschenkt werden. Bei einer bekannten Architektur wird die Datensicherheit durch eine voll redundante Auslegung des Moduls in relativ zuverlässiger Weise gewährleistet. Ein wesentlicher Nachteil hierbei besteht jedoch darin, dass der Schaltungsaufwand und der Bedarf an Siliziumfläche relativ hoch ist.

Der Erfindung liegt deshalb die Aufgabe zugrunde, ein ~~Verfahren und eine Schaltungsanordnung zum Speichern von Datenwörtern~~ in einem RAM Modul zu schaffen, dessen Flächenbedarf wesentlich geringer ist, ohne dass Einschränkungen im Hinblick auf die Datensicherheit hinzunehmen sind.

Gelöst wird diese Aufgabe mit einem Verfahren gemäß Anspruch 1, dass sich durch folgende Schritte auszeichnet:

- 2 -

Erzeugen eines Prüfbit-Wortes aus mindestens einem Datenwort beim Schreiben des mindestens einen Datenwortes in das RAM Modul, Speichern des Prüfbit-Wortes, Auslesen des Prüfbit-Wortes beim Auslesen des mindestens einen Datenwortes aus dem RAM Modul, Erneutes Erzeugen des Prüfbit-Wortes aus dem mindestens einen ausgelesenen Datenwort, Vergleichen des ausgelesenen Prüfbit-Wortes mit dem erneut erzeugten Prüfbit-Wort und Erzeugen einer Fehlermeldung, wenn diese nicht übereinstimmen.

Die Aufgabe wird ferner mit einer Schaltungsanordnung gemäß Anspruch 7 gelöst, die sich auszeichnet durch: eine erste Schaltungseinheit zur Erzeugung eines Prüfbit-Wortes aus mindestens einem Datenwort beim Schreiben und Lesen des mindestens einen Datenwortes, eine Anzahl von Registern zur zugeordneten Speicherung von Prüfbit-Worten für die Datenworte, sowie eine zweite Schaltungseinheit, mit der beim Lesen von Datenworten das zugeordnete Prüfbit-Wort mit dem durch die erste Schaltungseinheit erneut erzeugten Prüfbit-Wort verglichen wird, sowie zur Erzeugung einer Fehlermeldung, wenn die Prüfbit-Worte nicht übereinstimmen.

Ein besonderer Vorteil dieser Lösung besteht darin, dass bei im wesentlichen gleicher Datensicherheit wie bei der eingangs genannten voll redundanten Auslegung die erforderliche Siliziumfläche und damit auch der Schaltungsaufwand und die Kosten wesentlich geringer sind.

Die Unteransprüche haben vorteilhafte Weiterbildungen der Erfindung zum Inhalt.

- 3 -

Weitere Einzelheiten, Merkmale und Vorteile der Erfindung ergeben sich aus der folgenden Beschreibung einer bevorzugten Ausführungsform anhand der Zeichnung. Es zeigt:

Fig. 1 eine schematische Darstellung einer ersten Speicherarchitektur;

Fig. 2 eine schematische Darstellung des Ablaufes eines Schreibvorgangs;

Fig. 3 eine schematische Darstellung des Ablaufes eines Lesevorgangs;

Fig. 4 die Erzeugung einer wortorientierten Parität;

Fig. 5 eine schematische Darstellung einer zweiten Speicherarchitektur; und

Fig. 6 die Erzeugung einer spaltenorientierten Parität.

Ein RAM Modul umfasst gemäß Figur 1 im wesentlichen ein wortorientiertes Array 10 aus einer Anzahl von 32 Bit Datenwort-Registern 10a,...10i,...10x, die reihenweise untereinander angeordnet dargestellt sind. Jedem Datenwortregister ist ein 2 Bit Paritätswort-Register 11a,...11i,...11x zugeordnet, so dass sich ein 2 Bit Paritäts-Array 11 ergibt. Weiterhin ist ein 32 Bit Paritätswort-Register 12 vorgesehen, dem wiederum ein 2 Bit Paritätswort-Register 13 zugeordnet ist.

Zum Datenaustausch ist diese Anordnung in bekannter Weise mit einer Bus-Interfaceeinheit 14 verbunden, über die eine Verbindung zu einem CPU-Bus hergestellt werden kann. Die Bus-Interfaceeinheit 14 umfasst weiterhin Schaltungseinheiten zum Erzeugen und zum Vergleich der Paritätsworte bei Schreib- und Lesevorgängen, die in den Figuren 2 und 3 dar-

- 4 -

gestellt sind.

Zum Schreiben in das RAM Modul werden gemäß Figur 2 die betreffenden Datenwörter von einem 32 Bit Datenbus 20 zu einer ersten Schaltungseinheit 21 geführt, mit der zu jedem Datenwort ein 2 Bit Paritätswort erzeugt wird. Anschließend wird das Datenwort in eines der Datenwort-Register 10i in dem RAM Modul und das 2 Bit Paritätswort in das zugeordnete 2 Bit Paritätswort-Register 11i eingeschrieben.

Zum Lesen von Datenwörtern aus dem RAM Modul wird gemäß Figur 3 das adressierte Datenwort zunächst in die erste Schaltungseinheit 21 überführt. Gleichzeitig wird das zugeordnete 2 Bit Paritätswort in eine zweite Schaltungseinheit 22 übertragen. In der ersten Schaltungseinheit 21 wird aus dem ausgelesenen Datenwort wiederum ein 2 Bit Paritätswort erzeugt, das in die zweite Schaltungseinheit 22 überführt und dort mit dem direkt aus dem RAM Modul ausgelesenen 2 Bit Paritätswort verglichen wird. Wenn diese beiden Wörter nicht übereinstimmen, wird ein Fehlersignal F erzeugt oder ein entsprechendes Fehler-Flag gesetzt. Wenn die 2 Bit Paritätswörter übereinstimmen, wird das ausgelesene Datenwort auf den Datenbus 20 übertragen.

Gemäß Figur 4 setzt sich jedes 32 Bit Datenwort aus einem ersten und einem zweiten 16 Bit Halbwort HW zusammen, wobei aus jedem Halbwort ein Bit B des 2 Bit Paritätswortes erzeugt wird.

Durch die automatische Erzeugung und den automatischen Vergleich dieser wortorientierten Paritäten können einzelne

- 5 -

Bitfehler sofort "online" beim Auslesen aus dem RAM Modul erkannt werden.

Um eine noch höhere Fehlersicherheit zu erreichen, läßt sich die 2 Bit Paritätserzeugung auch durch eine CRC (cyclic redundancy check) -Prüfung mit einem für jedes Datenwort gemäß einem Polynom berechneten CRC-Wort ersetzen. Um ein sinnvolles Verhältnis zwischen der Breite eines Datenwortes und der Breite eines CRC-Wortes zu erreichen, wird die Speicherarchitektur so gewählt, dass die Breite der gespeicherten Datenworte (Speicherworte) ein Vielfaches der Breite der Datenworte auf dem Datenbus ist. Bei einer Datenwort-Breite von 32 Bit hat das Speicherwort vorzugsweise eine Breite von 128 Bit und das CRC-Wort für eine optimale Fehlersicherheit eine Breite von 9 Bit.

Figur 5 zeigt eine entsprechende Anordnung, die über die Bus-Interfaceeinheit 14 mit einem 32 Bit Datenbus (nicht dargestellt) verbunden ist.

Das RAM Modul umfasst ein Array 60 aus einer Anzahl von 128 Bit Speicherwort-Registern 60a,...60x, die reihenweise untereinander angeordnet dargestellt sind. Jedem Speicherwort-Register ist ein CRC-Register 61a,...61x mit zum Beispiel jeweils 9 Bit zugeordnet, so dass sich ein CRC-Array 61 ergibt.

Zwischen das Array 60 und die Bus-Interfaceeinheit 14 ist eine Einheit 70 geschaltet, die einen Multiplexer 71 für jeweils vier 32 Bit Datenworte sowie ein 128 Bit CRC-Rechenregister 72 zur Aufnahme von vier 32 Bit Datenworten

- 6 -

aufweist. Weiterhin umfasst die Einheit 70 eine CRC-Recheneinheit 73, mit der aus dem Inhalt des 128 Bit CRC-Rechenregisters 72 mit bekannten Rechenverfahren ein 9 Bit CRC-Wort berechnet und in einem 9 Bit CRC-Register 74 zwischengespeichert wird, das wiederum mit der Bus-Interfaceeinheit 14 verbunden ist.

Die Schreib- und Lesevorgänge laufen im wesentlichen in gleicher Weise ab, wie es in den Figuren 2 und 3 dargestellt ist.

Beim Einschreiben in das RAM Modul werden jeweils vier über die Bus-Interfaceeinheit 14 zugeführte 32 Bit Datenworte mit dem Multiplexer 71 zyklisch nacheinander in das 128 Bit CRC-Rechenregister 72 eingespeichert, so dass sich ein 128 Bit Speicherwort ergibt. Mit der CRC-Recheneinheit 73 wird daraus dann das 9 Bit CRC-Wort berechnet und in das 9 Bit CRC-Register 74 eingetragen. Anschließend wird der Inhalt des 128 Bit CRC-Rechenregisters 72 in eines der 128 Bit Speicherwort-Register 60i des RAM Arrays und der Inhalt des 9 Bit CRC-Registers 74 in das zugeordnete 9 Bit CRC-Wortregister 61i eingespeichert.

Beim Schreiben eines neuen 32 Bit Datenwortes (oder kleinerer Worteinheiten) in das RAM Modul ist es erforderlich, das CRC-Wort des betreffenden 128 Bit Speicherwort-Registers 60i neu zu berechnen. Dies bedeutet, dass vor dem Schreiben des neuen Datenwortes zunächst der Inhalt des betreffenden 128 Bit Speicherwort-Registers 60i vollständig ausgelesen und in das CRC-Rechenregister 72 eingespeichert werden muss, um dann mit der CRC-Recheneinheit 73 auf der

- 7 -

Grundlage des neuen Datenwortes das 9 Bit CRC-Wort neu zu berechnen und in dem CRC-Register 74 abzulegen. Die Inhalte beider Register 72, 74 werden dann in die entsprechenden Register 60i, 61i übertragen.

Sofern vor dem Schreiben eines neuen 32 Bit Datenwortes eine Fehlerprüfung durchgeführt werden soll, die zum Beispiel durch eine Software mit bestimmten Zeitabständen veranlasst werden kann, wird wie oben erwähnt zunächst der Inhalt des betreffenden 128 Bit Speicherwort-Registers 60i und der Inhalt des zugeordneten CRC-Registers 61i ausgelesen. Anschließend wird mit der CRC-Recheneinheit 73 daraus erneut das 9 Bit CRC-Wort erzeugt und mit dem ausgelesenen CRC-Wort verglichen. Wenn diese beiden CRC-Worte nicht übereinstimmen, wird ein Fehlersignal F (oder ein entsprechendes Fehler-Flag) erzeugt. Wenn die CRC-Worte übereinstimmen, wird, wie oben erläutert wurde, aus dem das neue 32 Bit Datenwort enthaltenden 128 Bit Speicherwort ein neues 9 Bit CRC Wort berechnet, und beide werden in das entsprechende 128 Bit Speicherwort-Register 60i bzw. das zugeordnete 9 Bit CRC Register 61i des RAM Moduls eingelesen.

Die Fehlerprüfung kann auch dann durchgeführt werden, wenn ein Datenwort aus dem RAM Modul auf den Datenbus 20 ausgelesen werden soll. ~~Zu diesem Zweck wird der Inhalt des das~~ betreffende Datenwort enthaltenden Speicherwort-Registers 60i in das CRC-Rechenregister 72 übertragen und daraus erneut das CRC-Wort berechnet. Dieses CRC-Wort wird mit dem in dem zugeordneten CRC-Wort-Register 61i gespeicherten CRC-Wort verglichen. Wenn beide Worte nicht übereinstimmen, wird eine Fehlermeldung F erzeugt oder ein entsprechendes

- 8 -

Fehler-Flag gesetzt. Wenn beide CRC-Worte übereinstimmen, wird das ausgelesene 32 Bit Datenwort auf den Datenbus 20 übertragen. Anschließend wird der Inhalt des CRC-Rechenregisters 72 in das entsprechende 128 Bit Speicherwort-Register 60i zurückgeführt.

Figur 6 zeigt mehrere Speicherwort-Register 10a, 10b, .. 10x, für 32 Bit Datenworte sowie ein 32 Bit Paritätswort-Register 12, wobei für jede Stelle beispielhaft ein Bit mit dem Wert 0 oder 1 dargestellt ist.

Im Unterschied zu der in den Figuren 4 und 5 gezeigten, wortorientierten Prüfbit-Erzeugung wird gemäß Figur 6 eine spaltenorientierte Parität erzeugt, bei der für jeweils gleiche Stellen aller Datenworte ein Paritäts-Bit ermittelt wird, das an eine zugeordnete Stelle in dem 32 Bit Paritätswort-Register 12 eingeschrieben wird. Auf diese Weise ergibt sich ein 32 Bit Paritätswort. Weiterhin kann nun zu diesem 32 Bit Paritätswort in gleicher Weise wie es für die wortorientierte Parität anhand der Figur 4 beschrieben wurde, ein 2 Bit Paritätswort erzeugt und in dem 2 Bit Paritätswort-Register 13 (siehe Figur 1) abgespeichert werden. Entsprechend der vorstehend beschriebenen Weise kann auch eine spaltenorientierte Paritätsprüfung bei der Ausführungsform gemäß Fig. 5 mit 128 Bit breiten Datenworten durchgeführt werden.

Während des Schreibens eines neuen Datenwortes in einem der Wortregister 10i des RAM Moduls wird zunächst der Inhalt des Datenwortes der zu beschreibenden Speicherstelle im RAM Modul, d.h. im Beispiel ein 32 Bit Datenwort-Register 10i,

sowie das 32 Bit Paritätswort-Register 12 ausgelesen. Anschließend wird der Wert des spaltenorientierten 32 Bit Paritätsworts erneut ermittelt und beschrieben.

Darauffolgend wird das neue Datenwort in die entsprechenden Datenwort-Register 10i zurückgeschrieben und der Inhalt des 32 Bit Paritätswort-Registers 12 neu ermittelt. Im Anschluss daran kann zu dem 32 Bit Paritätswort wieder eine 2 Bit Parität erzeugt und in dem 2 Bit Paritätswort-Register 13 (siehe Figur 1) gespeichert werden.

Während eines normalen Lesevorgangs wird vorzugsweise keine Fehlerüberprüfung durchgeführt. Eine zusätzliche Fehlerprüfung kann dadurch erfolgen, daß in der vorstehend beschriebenen Weise beispielsweise zum Zeitpunkt während eines Lesevorgangs der Inhalt sämtlicher Datenwort-Register 10i ausgelesen wird, das spaltenorientierte 32 Bit Paritätswort erneut erzeugt und mit dem in dem Paritätswort-Register 12 gespeicherten Paritätswort verglichen wird. Wenn die Paritätsworte nicht übereinstimmen, wird eine Fehlermeldung F erzeugt oder ein entsprechendes Fehler-Flag gesetzt. Wenn die Paritätsworte übereinstimmen, wird das ausgelesene Datenwort auf den Datenbus 20 übertragen. Die hier beschriebene Ausführungsform zur spaltenorientierten Fehlerprüfung ~~im ganzen RAM wird sinnvollerweise nicht bei jedem Schreib-~~ oder Lesevorgang, sondern mit bestimmten Zeitabständen vorgenommen, wobei die Zeitabstände durch die verwendete Software vorgegeben sein können. Die Entscheidung, ob diese Fehlerprüfung erfolgt oder nicht, wird bevorzugt durch die verwendete Software vorgenommen.

- 10 -

Das 2 Bit Paritätswort des 32 Bit Paritätswortes kann in gleicher Weise zur Fehlerüberprüfung verwendet werden, wie es anhand der Figuren 2 bis 4 für die 2 Bit Paritätsworte der Datenwörter beschrieben wurde.

Anstelle der spaltenorientierten Parität kann auch eine spaltenorientierte CRC (Cyclic Redundancy Check) -Summe gebildet und zur Fehlerprüfung verwendet werden. Auch hierbei wird vor dem Schreiben und / oder Lesen eines Wortes zunächst der Inhalt sämtlicher Datenwort-Register 10i sowie des Prüfbit-Registers 12 ausgelesen und erneut das CRC-Wort ermittelt. Wenn dieses CRC-Wort nicht mit dem gespeicherten CRC-Wort übereinstimmt, wird eine Fehlermeldung F erzeugt oder ein entsprechendes Fehler-Flag gesetzt. Wenn beide CRC-Worte übereinstimmen, wird der Schreib- oder Lesevorgang in der oben für die spaltenorientierte Paritätswort-Erzeugung beschriebenen Weise abgeschlossen.

Mit der spaltenorientierten Parität sowie einem zyklisch ablaufenden Paritäts-Test bzw. der CRC-Prüfsumme und einer zyklischen CRC-Berechnung lassen sich auch Fehler im Adress-Decoder sowie Doppel-Bitfehler und weitere Fehler ermitteln. Die Tests bzw. Berechnungen werden vorzugsweise durch eine entsprechende Software durchgeführt.

Patentansprüche

1. Verfahren zum Speichern von Datenworten in einem RAM Modul, **gekennzeichnet** durch folgende Verfahrensschritte:
Erzeugen eines Prüfbit-Wortes aus mindestens einem Datenwort beim Schreiben des mindestens einen Datenwortes in das RAM Modul,
Speichern des Prüfbit-Wortes,
Auslesen des Prüfbit-Wortes beim Auslesen des mindestens einen Datenwortes aus dem RAM Modul,
Erneutes Erzeugen des Prüfbit-Wortes aus dem mindestens einen ausgelesenen Datenwort,
Vergleichen des ausgelesenen Prüfbit-Wortes mit dem erneut erzeugten Prüfbit-Wort und Erzeugen einer Fehlermeldung, wenn diese nicht übereinstimmen.
2. Verfahren nach Anspruch 1, dadurch **gekennzeichnet**, dass das Prüfbit-Wort durch Ermittlung von Paritätsbits gebildet wird.
3. Verfahren nach Anspruch 2, dadurch **gekennzeichnet**, dass aus jedem Datenwort ein 2 Bit Paritätswort gebildet wird, wobei aus jedem Daten-Halbwort jeweils ein Paritätsbit ermittelt wird.
4. Verfahren nach Anspruch 1 oder 2, dadurch **gekennzeichnet**, dass aus einer Anzahl von Datenworten ein Paritätswort erzeugt wird, dessen Paritätsbits jeweils aus gleichen Stellen aller Datenworte ermittelt werden.

- 12 -

5. Verfahren nach Anspruch 1, dadurch **gekennzeichnet**, dass die Prüfbit-Worte durch Berechnung von CRC-Worten gebildet werden.
6. Verfahren nach Anspruch 5, dadurch **gekennzeichnet**, dass jeweils eine Anzahl von Datenworten zu einem Speicherwort zusammengefasst wird und daraus ein zugeordnetes CRC-Wort berechnet wird.
7. Schaltungsanordnung zum Speichern von Datenworten in einem RAM Modul, **gekennzeichnet** durch:
eine erste Schaltungseinheit (21) zur Erzeugung eines Prüfbit-Wortes aus mindestens einem Datenwort beim Schreiben und Lesen des mindestens einen Datenwortes, eine Anzahl von Registern (11i, 61i) zur zugeordneten Speicherung von Prüfbit-Worten für die Datenworte, sowie eine zweite Schaltungseinheit (22), mit der beim Lesen von Datenworten das zugeordnete Prüfbit-Wort mit dem durch die erste Schaltungseinheit (21) erneut erzeugten Prüfbit-Wort verglichen wird, sowie zur Erzeugung einer Fehlermeldung (F), wenn die Prüfbit-Worte nicht übereinstimmen.
- ~~8. Schaltungsanordnung nach Anspruch 7, dadurch **gekenn-**~~
~~**zeichnet**, dass die Anzahl von Registern durch erste 2~~
~~Bit Paritätsregister (11i) gebildet ist, wobei jedem~~
~~Datenwort ein 2 Bit Paritätsregister zugeordnet ist.~~
9. Schaltungsanordnung nach Anspruch 7, dadurch **gekenn-**
zeichnet, dass die Anzahl von Registern durch CRC-

- 13 -

Register (61i) gebildet ist, wobei jeweils vier Datenworten ein CRC-Register zugeordnet ist.

10. Schaltungsanordnung nach Anspruch 9, **gekennzeichnet** durch einen Multiplexer (71) zur Speicherung von jeweils vier Datenworten als ein Speicherwort, sowie eine CRC-Recheneinheit (73) zur Berechnung des CRC-Wortes aus einem Speicherwort sowie zur Speicherung des CRC-Wortes in einem zugeordneten CRC-Register (61i, 74).
 11. Schaltungsanordnung nach Anspruch 10, dadurch **gekennzeichnet**, dass die Datenworte 32 Bit Worte und die CRC-Worte 9 Bit Worte sind.
 12. Schaltungsanordnung nach einem der Ansprüche 7 bis 11, **gekennzeichnet** durch ein zweites Register (12) zur Speicherung eines Prüfbit-Wortes, dessen Bits jeweils aus gleichen Stellen aller Datenworte ermittelt werden, sowie ein drittes Register (13) zur Speicherung eines Prüfbit-Wortes, das aus dem Inhalt des zweiten Registers (12) ermittelt wird.
-

Zusammenfassung

Verfahren und Schaltungsanordnung zum Speichern von Datenworten in einem RAM Modul

Es wird ein Verfahren zum Speichern von Datenworten in einem RAM Modul beschrieben, das insbesondere für sicherheitskritische Anwendungen geeignet ist und sich durch folgende Schritte auszeichnet: Erzeugen eines Prüfbit-Wortes aus mindestens einem Datenwort beim Schreiben des mindestens einen Datenwortes in das RAM Modul, Speichern des Prüfbit-Wortes, Auslesen des Prüfbit-Wortes beim Auslesen des mindestens einen Datenwortes aus dem RAM Modul, Erneutes Erzeugen des Prüfbit-Wortes aus dem mindestens einen ausgelesenen Datenwort, Vergleichen des ausgelesenen Prüfbit-Wortes mit dem erneut erzeugten Prüfbit-Wort und Erzeugen einer Fehlermeldung, wenn diese nicht übereinstimmen. Weiterhin wird eine entsprechende Schaltungsanordnung beschrieben. (Fig. 3)

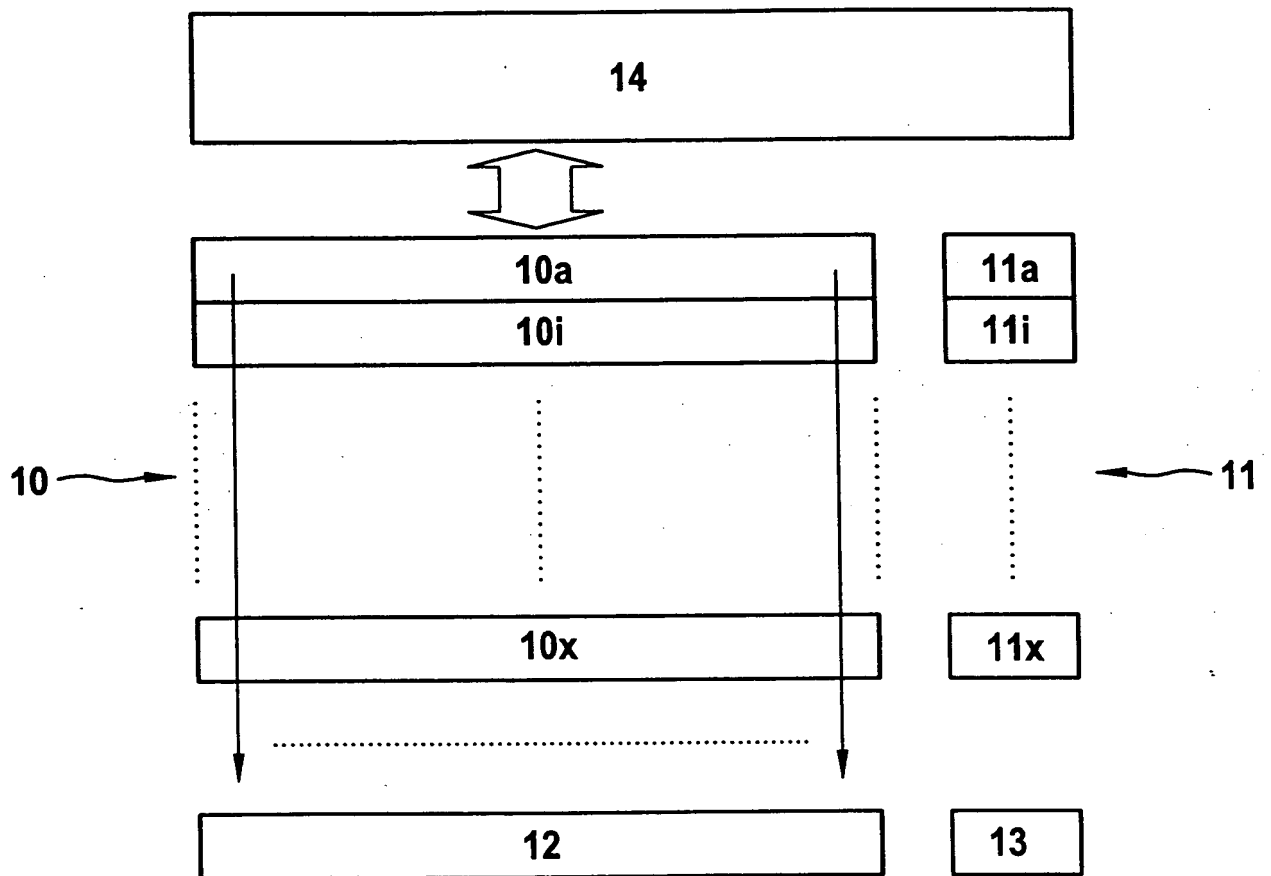


Fig. 1

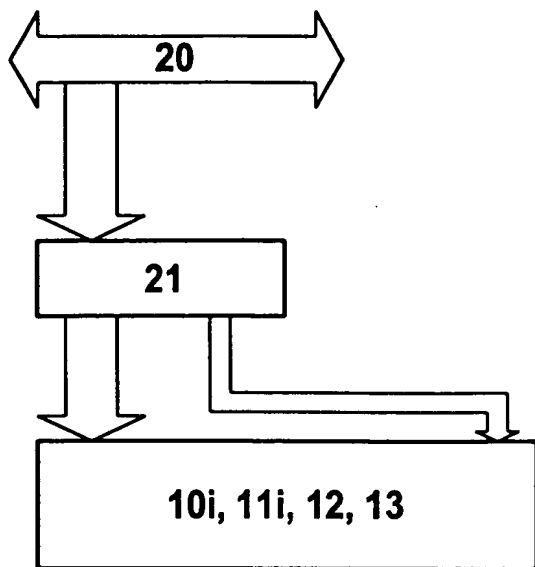


Fig. 2

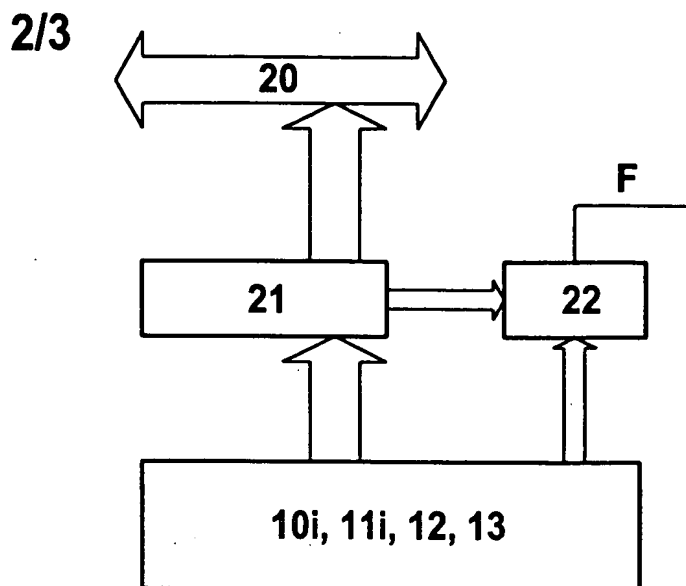


Fig. 3

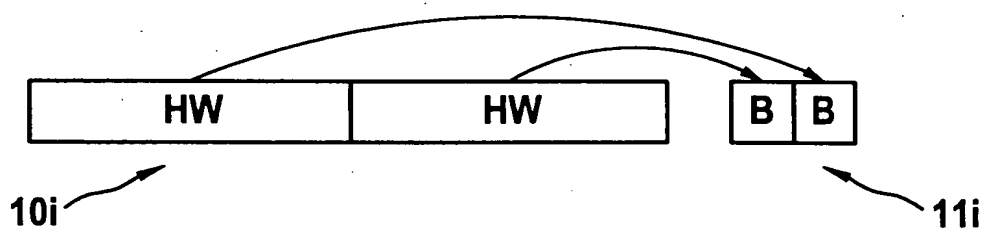


Fig. 4

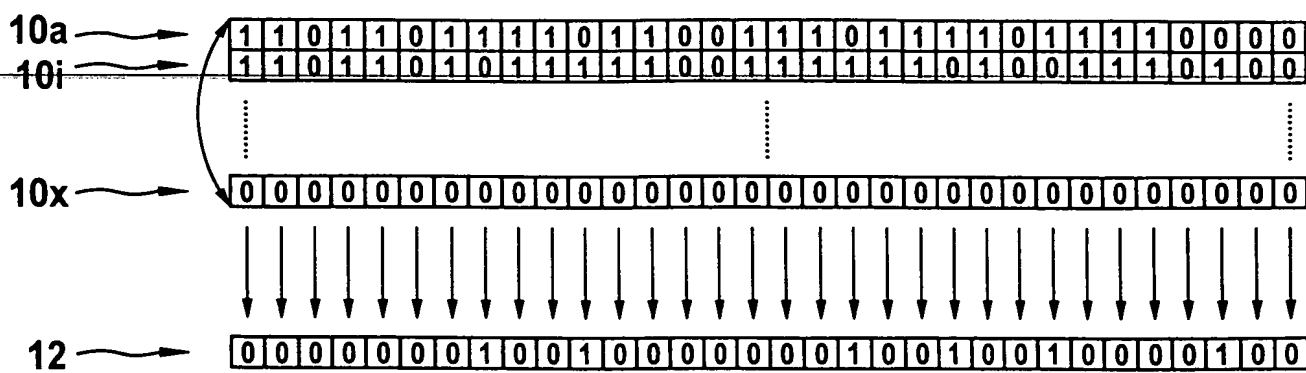


Fig. 6

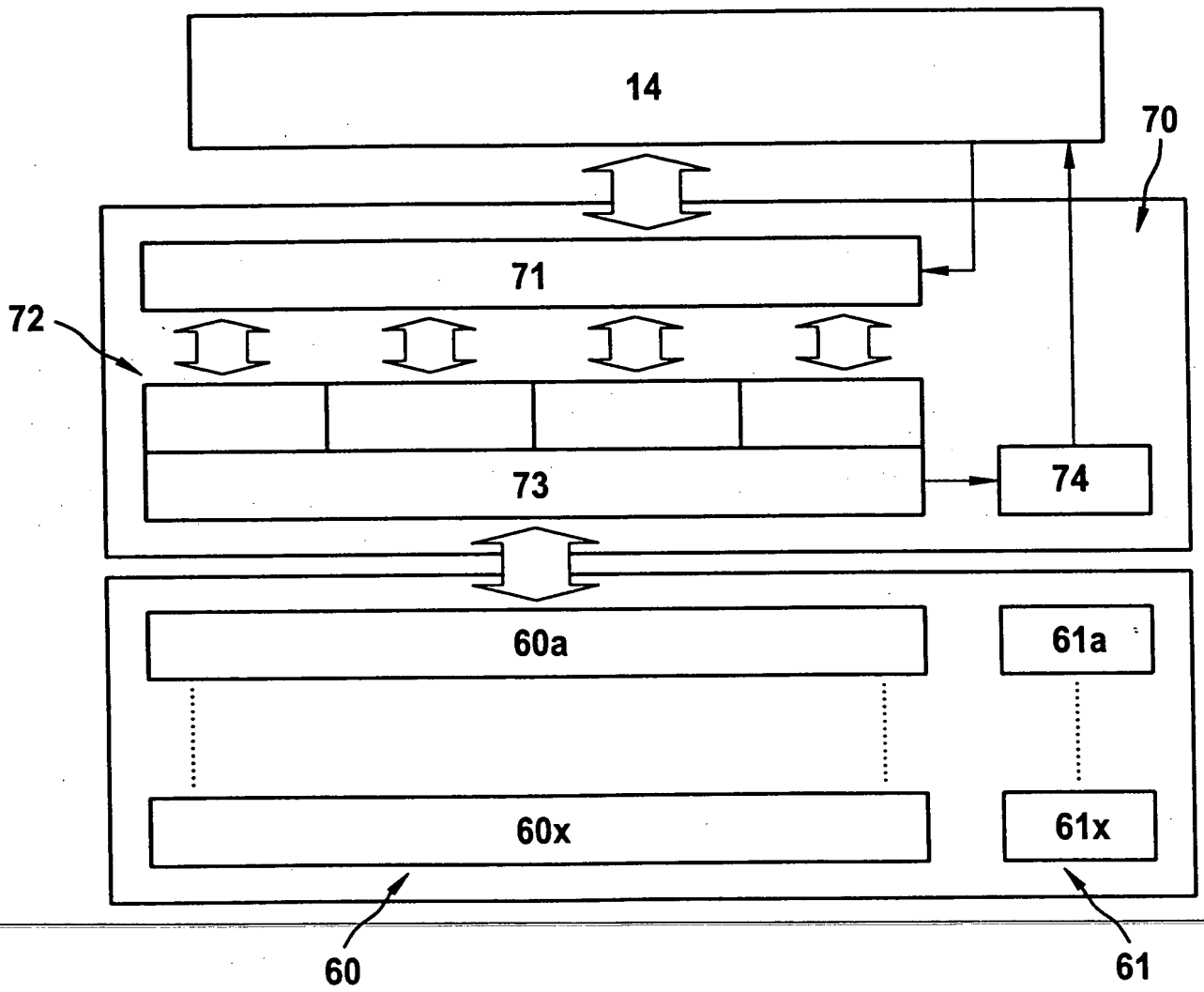
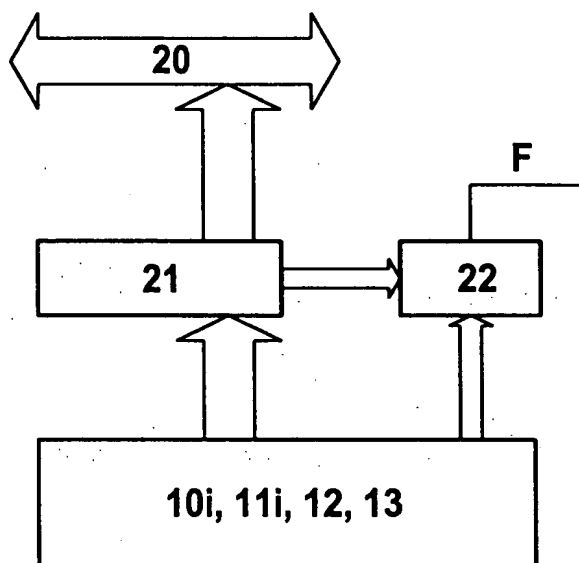


Fig. 5



This Page Blank (uspto)